

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Fumihiko KOHNO

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR MEMORY DEVICE USED FOR CACHE MEMORY

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

Japan

APPLICATION NUMBER

2003-359373

MONTH/DAY/YEAR

October 20, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

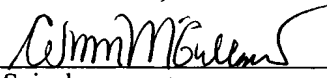
☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland

Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 0 月 2 0 日
Date of Application:

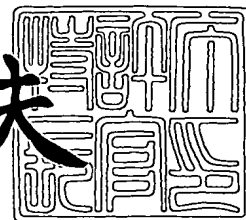
出 願 番 号 特 願 2 0 0 3 - 3 5 9 3 7 3
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 3 5 9 3 7 3]

出 願 人 株式会社東芝
Applicant(s):

2 0 0 3 年 1 1 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 A000301617
【提出日】 平成15年10月20日
【あて先】 特許庁長官 殿
【国際特許分類】 G11C 15/04
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ
 レクトロニクスセンター内
 【氏名】 河野 良洋
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【代理人】
 【識別番号】 100058479
 【弁理士】
 【氏名又は名称】 鈴江 武彦
 【電話番号】 03-3502-3181
【選任した代理人】
 【識別番号】 100091351
 【弁理士】
 【氏名又は名称】 河野 哲
【選任した代理人】
 【識別番号】 100088683
 【弁理士】
 【氏名又は名称】 中村 誠
【選任した代理人】
 【識別番号】 100108855
 【弁理士】
 【氏名又は名称】 蔵田 昌俊
【選任した代理人】
 【識別番号】 100084618
 【弁理士】
 【氏名又は名称】 村松 貞男
【選任した代理人】
 【識別番号】 100092196
 【弁理士】
 【氏名又は名称】 橋本 良郎
【手数料の表示】
 【予納台帳番号】 011567
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

データを一時的に保持するために設けられ、各キャッシュラインをそれぞれ複数行に分割し、複数のエントリー数を有するデータ部と、

前記データ部に保持されたデータに対応するアドレスを保持するメモリセル部および保持アドレスの値と入力アドレスの値を比較する比較回路部を備えた連想記憶メモリのアレイを有し、前記データ部のキャッシュラインと同様に複数行に分割して前記メモリセル部にアドレスデータを保持し、前記複数行に分割して保持されたアドレスデータの各行を並列に入力アドレスと前記比較回路部で比較し、各行の比較結果に基づいてキャッシュのヒット／ミス判定信号を出力するタグ部

とを具備することを特徴とする半導体記憶装置。

【請求項 2】

前記データ部のキャッシュラインへのアクセスは、インデックスアドレス入力に応じて、分割された複数行の中から該当エントリーを選択することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】

前記タグ部のキャッシュライン内の複数行にアドレスを書き込む際、複数サイクルをかけて書き込むことを特徴とする請求項 1 または 2 記載の半導体記憶装置。

【請求項 4】

前記タグ部のキャッシュライン内の複数行のメモリセルのうち同一カラムのメモリセルは、書き込み用のビット線を共有していることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 5】

前記タグ部のキャッシュライン内の複数行のメモリセルのうち同一カラムのメモリセルは、読み出し用のビット線を共有していることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 6】

前記タグ部のキャッシュライン内の複数行のメモリセルのうち同一カラムのメモリセルは、書き込み／読み出し用のビット線を共有していることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 7】

前記比較回路部は、比較・判定動作の可否が制御信号により制御されることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 8】

前記データ部への書き込み中は、対応するタグ部ではアドレス比較を行わないように制御されることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 9】

前記比較回路部は、前記データ部へのデータ書き込み時には比較・判定動作を行わないように制御されることを特徴とする請求項 8 記載の半導体記憶装置。

【請求項 10】

データを一時的に保持するために設けられたデータ部と、

前記データ部に保持されたデータに対応するアドレスを保持するメモリセル部および保持アドレスの値と入力アドレスの値を比較する比較回路を備えた連想記憶メモリのアレイを有し、各アドレスデータを複数行に分割して前記メモリセル部にアドレスデータを保持し、前記複数行に分割して保持されたアドレスデータの各行を並列に入力アドレスと前記比較回路部で比較し、各行の比較結果に基づいてキャッシュのヒット／ミス判定信号を出力するタグ部

とを具備することを特徴とする半導体記憶装置。

【請求項 11】

前記タグ部のキャッシュライン内の複数行のメモリセルのうち同一カラムのメモリセル

は、書き込み／読み出し用のビット線あるいは書き込み用のビット線および読み出し用のビット線をそれぞれ共有していることを特徴とする請求項 1 0 記載の半導体記憶装置。

【書類名】明細書

【発明の名称】半導体記憶装置

【技術分野】

【0001】

本発明は、半導体記憶装置に係り、特にキャッシュメモリに関するもので、例えばブロードバンド通信用のシステム集積回路(LSI)に搭載される多ビット幅のキャッシュメモリに使用される。

【背景技術】

【0002】

近年、システムLSIの高速化、高機能化に伴い、例えばメインメモリと中央処理ユニット(CPU)との間でデータを高速でやり取りするために挿入されるキャッシュメモリの重要性が高まってきた。特に、ブロードバンド時代に対応するため、システムLSIで大量のデータを高速処理する必要性があることから、キャッシュメモリとして多ビット幅が必要になってきた。

【0003】

一般に、CPUを搭載したシステムLSIにおいて、外部のメインメモリはダイナミック型メモリ(Dynamic Random Access Memory ;DRAM)で構成され、記憶容量は大きい、データをやり取りするのに時間がかかる。これに対して、キャッシュメモリはスタティック型メモリ(Static Random Access Memory ;SRAM)で構成され、記憶容量は小さいが、高速にデータアクセスできる。

【0004】

そこで、時間のかかるDRAMへのアクセス回数をなるべく減らして、一度に大量のデータ(例えば256バイト、512バイト)をキャッシュメモリに書き込んでおくことにより高速化を図る必要がある。この際、キャッシュメモリからCPUにデータが読み出される時は、システムにもよるが、32ビット幅または64ビット幅でよい。換言すれば、キャッシュメモリにメインメモリから要求されるデータサイズは、CPUから要求されるデータサイズの数倍大きくなる。

【0005】

キャッシュメモリは、一般に、メインメモリの一部のデータの写しであるキャッシュデータを一時的に保持するSRAMからなるデータ部と、このデータ部に保持されたデータに対応するメインメモリのアドレス(CPU内に設けられたフェッチカウンタから供給されるアクセスアドレスの一部)を保持する連想記憶メモリ(Content Addressable memory ;CAM)からなるタグ部とで構成される。

【0006】

キャッシュメモリにヒットした場合の動作は、入力アドレスをタグ部に格納されているアドレスと比較して一致したエントリに対応するデータ部のデータを読み出す。タグ部とデータ部は1対1に対応していることが基本であるが、ブロードバンド化とともに取り扱うデータサイズが大きくなってきた。

【0007】

そこで、システムLSIのバス幅の制約を緩和し、LSIチップの面積を削減するために、データ部のローの長さ(ビット幅)を複数に分割して複数行に分け、書き込みデータを複数サイクルに分けて複数行に書き込む手法が提案されている。

【0008】

図8は、キャッシュメモリのデータ部を2行に分割した場合のセルアレイのパターンレイアウトの従来例を示す。

【0009】

データ部10には、メインメモリから入力するデータ(data)を記憶する。比較機能付きのCAMセルが用いられたタグ部80は、前記データに保持されたデータに対応するメインメモリのアドレス(Write address)を保持し、新たにCPUから入力したアドレス信号(Compare address)を保持アドレスと比較する。

【0010】

いま、データ部10を2行に分割した場合、データ部10へのデータ書き込みは2エントリーとなり、2エントリーのうちのどちらかを選択するかは、インデックスアドレス信号(index address)により決定するようにしている。これに対して、タグ部80へのデータ書き込みは1エントリーである。

【0011】

しかし、上記した従来のキュッシュメモリは、タグ部80のアレイ構成が書き込みビット幅で決まるので、ブロードバンド用の大量のデータを取り扱う場合などにデータサイズが大きくなると、ワード線方向が極端に長くなり、高速化を妨げている。

【0012】

また、タグ部80とデータ部10でメモリセルの構成が異なり、データ部10の方がエントリー数が多くなるので、タグ部80のセルアレイのパターンレイアウトに隙間(スペース部分)が増加し、無駄な領域90が発生し、LSIチップの面積が増大するという問題がある。

【0013】

また、キュッシュメモリの高速化、高機能化に伴い、データ部10のメモリセル構成が複雑になり、最適な縦横アスペクト比を追求すると、物理的なレイアウトの高さが増えることが考えられる。この場合、タグ部80に比べてデータ部10の方が物理的なレイアウトの高さが高いため、キュッシュメモリのパターンレイアウトに隙間が発生し、LSIチップの面積が無駄になる。

【0014】

なお、特許文献1には、2系列のCAMセルを横に並べ、仮想アドレス2個と実アドレス1個の計3個のアドレスがセルと比較されるキュッシュメモリが開示されている。この場合、セルはワード線方向に分割され、分割部からそれぞれ一致線が出力され、セレクトで1つが選ばれる。セレクト出力はラッチされ、連想記憶メモリとデータ部のワード線となっているので、読み出し中に次のセットアップが可能となっている。単一キュッシュ行から2データブロックを出力することも可能であることが開示されている。

【特許文献1】米国特許第5752260号明細書

【発明の開示】**【発明が解決しようとする課題】****【0015】**

上記したように従来のキュッシュメモリは、データサイズが大きくなるのに伴い、ワード線方向が極端に長くなり、高速化を妨げているという問題、タグ部のパターンレイアウトに隙間が増加し、無駄な領域が発生し、LSIチップの面積が増大するという問題があった。

【0016】

本発明は上記の問題点を解決すべくなされたもので、キュッシュメモリで取り扱うデータサイズが大きくなっても高速化を図ることができ、タグ部の領域を有効に活用でき、LSIチップの面積の増大を抑制し得る半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】**【0017】**

本発明の半導体記憶装置の第1の態様は、データを一時的に保持するために設けられ、各キャッシュラインをそれぞれ複数行に分割し、複数のエントリー数を有するデータ部と、前記データ部に保持されたデータに対応するアドレスを保持するメモリセル部および保持アドレスの値と入力アドレスの値を比較する比較回路部を備えた連想記憶メモリのアレイを有し、前記データ部のキャッシュラインと同様に複数行に分割して前記メモリセル部にアドレスデータを保持し、前記複数行に分割して保持されたアドレスデータの各行を並列に入力アドレスと前記比較回路部で比較し、各行の比較結果に基づいてキャッシュのヒット/ミス判定信号を出力するタグ部とを具備することを特徴とする。

【0018】

本発明の半導体記憶装置の第2の態様は、データを一時的に保持するために設けられた

データ部と、前記データ部に保持されたデータに対応するアドレスを保持するメモリセル部および保持アドレスの値と入力アドレスの値を比較する比較回路を備えた連想記憶メモリのアレイを有し、各アドレスデータを複数行に分割して前記メモリセル部にアドレスデータを保持し、前記複数行に分割して保持されたアドレスデータの各行を並列に入力アドレスと前記比較回路部で比較し、各行の比較結果に基づいてキャッシュのヒット／ミス判定信号を出力するタグ部とを具備することを特徴とする。

【発明の効果】

【0019】

キャッシュメモリで取り扱うデータサイズが大きくなっても高速化を図ることができ、タグ部の領域を有効に活用でき、LSI チップの面積の増大を抑制することができる。

【発明を実施するための最良の形態】

【0020】

<第1の実施形態>

図1は、本発明の第1の実施形態に係るキャッシュメモリのセルアレイの配置の一例を示す。

【0021】

このキャッシュメモリは、例えばCPUを用いたシステムにおいてCPU（図示せず）とメインメモリ（図示せず）との間に挿入されるものであり、データ部10とタグ部20とを有する。

【0022】

データ部10は、メインメモリのデータの一部の写しであるデータ（data）が入力し、これを一時的に保持するSRAMからなり、各キャッシュラインをそれぞれ複数行（本例では2行）に分割する構成を有し、複数（本例では2つ）のエントリー数を有する。

【0023】

本例では、データ部10のキャッシュラインへアクセスする際は、インデックスアドレス信号（index address）に応じて、データ部10の分割された2エントリーのうちのいずれか一方が選択される。キャッシュライン内の全てのデータに対してアクセスする場合は、各サイクル毎にインデックスアドレスが切り替えられて2サイクルでアクセスされる。

【0024】

タグ部20は、図2を参照して後述するように、データ部10に保持されたデータに対応するメインメモリのアドレス（内容アドレス）を保持するSRAM部22と、保持アドレス（Write address）の値とCPUから入力したアドレス（Compare address）の値を比較する比較回路部23を備えた連想記憶メモリ（CAM）セル21のアレイを有する。

【0025】

本例のタグ部20は、データ部10のキャッシュラインと同様に複数行に分割してアドレスデータを保持する構成（複数のエントリー）を有する。そして、SRAM部22に保持されたアドレスデータの各行を並列に入力アドレスと比較回路部23で比較し、各行の比較結果に基づいてキャッシュのヒット／ミス判定信号を出力する機能を有する。

【0026】

タグ部20の複数行に分割されたCAMセルにアドレスを書き込む際、1サイクルで各行に同時に書き込むことも可能であるが、複数サイクルで各行毎に順次書き込むことも可能である。

【0027】

なお、図1において、データ部10およびタグ部20内に示されている数値は、それぞれに記憶されるデータまたはアドレスの各ビット位置を表している。

【0028】

図2は、図1中のタグ部20のCAMセルアレイの一部（2行に分割されたCAMセルの各一部）を取り出し、書き込み／読み出し用のビット線を同一カラムで共有化した構成例を示す等価回路図である。

【0029】

タグ部20は、比較機能付きのCAM セル21が行列状に配設されたCAM セルアレイを有し、CAM セルアレイにおいて1つの内容アドレスを記憶する領域は本例では2行に分割されている。2行に分割されたCAM セル21のうち、1行目の同一行のCAM セル21には、ワード線WL0 およびマッチ線Match line0 が接続され、2行目の同一行のCAM セル21には、ワード線WL1 およびマッチ線Match line1 が接続されている。

【0030】

比較機能付きのCAM セル21は、例えば4トランジスタ（一对の駆動入力用のNMOSトランジスタN1,N2、一对の負荷用のPMOSトランジスタP1,P2）タイプのSRAMセル部22と、このSRAMセル部22の一对の記憶ノードn0、nb0 あるいはn1、nb1 と一对の相補的なビット線（本例ではBL0,BL0b）との間に接続されている一对のトランスファゲート用のNMOSトランジスタN3,N4 と、前記一对の記憶ノードn0、nb0 あるいはn1、nb1 に保持されている内容アドレスと一对のアドレス入力の相補的な1ビットを比較する比較回路部23とからなる。

【0031】

比較回路部23は、SRAMセル部22の一对の記憶ノードn0、nb0 あるいはn1、nb1 にそれぞれのゲートが接続され、各一端同士が接続された一对の比較用のNMOSトランジスタN5,N6 と、この一对のNMOSトランジスタN5,N6 が相互接続された内部比較ノード（node0 あるいはnode1）にゲートが接続され、マッチ線（Match line0 あるいはMatch line1）と接地ノードとの間にドレイン・ソース間が接続された比較出力用のNMOSトランジスタN7とからなる。

【0032】

前記したように2行に分割されたCAM セル21のうち、1行目の各CAM セル21は、SRAMセル部22に共通にワード線（本例ではWL0）が接続されており、比較回路部23に共通にマッチ線（本例ではMatch line0）が接続されている。2行目の各CAM セル21は、SRAMセル部22に共通にワード線（本例ではWL1）が接続されており、比較回路部23に共通にマッチ線（本例ではMatch line1）が接続されている。

【0033】

そして、CAM セルアレイの同一列の各CAM セル21に対して、各SRAMセル部22に共通に一对のビット線（本例ではBL0,BL0b）が接続されており、1行目のCAM セル21の比較回路部23には相補的な一对のアドレスビット線VA0,VA0bが接続されており、2行目のCAM セル21の比較回路部23には相補的な一对のアドレスビット線VA1,VA1bが接続されている。

【0034】

図3は、図1に示したタグ部20、データ部10へのデータアクセスの動作例を示すタイミングチャートである。

【0035】

書き込み動作時には、クロック信号CLK の1サイクル目は、タグ部20の2行に分割されたCAM セル21に対応して2行に分割されたアドレスデータA&A'が同時に書き込まれ、データ部10のアドレスA0にデータ書き込みが行われる。クロック信号CLK の2サイクル目は、タグ部20は何も動作しない(No Operation ;NOP)が、データ部10のアドレスA1にデータ書き込みが行われる。

【0036】

そして、次の比較・読み出し動作時には、タグ部20では1サイクル目、2サイクル目とも2行のアドレスデータA&A'の比較(compare ;cmp.)が行われ、キャッシュヒット時には、データ部10では1サイクル目、2サイクル目に対応して2行に分割されたアドレスデータ（本例ではA0,A1）の読み出し(Read)が行われる。

【0037】

図4は、図2中のタグ部20の2本のマッチ線Match line0 およびMatch line1 に繋がっている全てのビットの値の各比較結果に基づいてキャッシュメモリがヒットしたか否かを判定して判定結果resultを出力するヒット／ミス判定回路の一例を示す。

【0038】

このヒット／ミス判定回路は、図2中のタグ部20の2行に分割されたCAM セルに対応す

る2本のマッチ線Match line0 およびMatch line1 の各比較結果とともにenable/disable 制御用の信号valid をアンドゲート51に入力している。また、2本のマッチ線Match line 0 およびMatch line1 に接続されている各CAM セルの内部比較ノードnodeにゲートが接続されている比較出力用のNMOSトランジスタN7に対して、前記信号valid によりスイッチ制御されるNMOSトランジスタN8を直列に接続している。

【0039】

したがって、CPU から入力するアドレスと保持しているアドレスの各ビットの値がそれぞれ比較されると、一致したビットに対応するマッチ線はハイレベル“H” に保持され、不一致のビットに対応するマッチ線はロウレベル“L” に引き落とされる。そして、同一のマッチ線に繋がっている全てのビットの値の各比較結果が全て“H” であれば、入力アドレスと保持アドレスが完全に一致した（キャッシュヒット）と検知され、このマッチ線に対応するエントリーのデータ部10のデータが読み出される。これに対して、マッチ線の値が“L” であれば、このマッチ線に対応するエントリーのデータは読み出されない。この際、信号valid により比較・判定動作の可否を制御している（valid=“H” の時に判定動作を行う）ので、不必要な動作を抑止し、消費電力の削減を図ることができる。

【0040】

なお、データ部10へのデータ書き込み時には、書き込み領域のデータは使用しないので、タグ部20でアドレスを比較する必要はなく、図4に示した判定回路を動作させないように信号valid により制御する。

【0041】

上記したように図1乃至図4に示した構成のキャッシュメモリによれば、データ部10およびタグ部20をそれぞれ2行に分割して配置しており、2行で並列にアドレス比較を行うことによってヒット／ミス判定を行うことが可能になる。

【0042】

したがって、例えばブロードバンド用のサイズが大きいデータを取り扱う際に、図8に示した従来例のキャッシュメモリではデータ部10とタグ部80のエントリー数の違いからタグ部80で発生していた無駄な領域を抑制し、タグ部80の領域を有効に活用することができる。また、タグ部80のワード線方向の長さが半分になるので、キャッシュメモリのレイアウト面積自体も小さくなり、チップ面積の増大を抑制することができる。

【0043】

また、タグ部80に格納されているアドレスと入力アドレスの比較結果を判定する信号のマッチ線の長さが半分になるので、マッチ線のRC遅延は1/4 になってマッチ線の信号伝搬の高速化を図ることができる。また、マッチ線の負荷が減っているので、マッチ線駆動用のトランジスタサイズを小さくすることができ、マッチ判定回路のレイアウト面積をより小さくすることができる。ワード線についても、上記マッチ線と同様のことが言える。

【0044】

<第1の実施形態の変形例1>

第1の実施形態では、データ部10の2行のメモリセルへのデータ書き込みは2サイクル以上かかるので、該当エントリーに対応するタグ部20の2行のCAM セルへのデータ書き込み（ワード線選択）も2サイクル以上をかけて行うように変更してもよい。この変更により、タグ部20の2行のCAM セルの書き込み／読み出し用のビット線を共有化できるので、チップ面積を削減することができる。特に、タグ部20のCAM セルの大きさが配線で決まるような場合において、配線を削減できることでチップ面積を大幅に削減することができる。

【0045】

図5は、第1の実施形態の変形例1におけるタグ部20、データ部10へのデータアクセスの動作例を示すタイミングチャートである。

【0046】

書き込み動作時に、1サイクル目は、タグ部20には2行に分割されたアドレスデータA& A'のうちの一方のデータA が書き込まれ、データ部10にはアドレスA0にデータ書き込みが

行われる。2サイクル目は、タグ部20にはアドレスデータA&A'のうちの他方のデータA'が書き込まれるが、データ部10には次のアドレスA1にデータ書き込みが行われる。

【0047】

そして、次の比較・読み出し動作時に、タグ部20では1サイクル目、2サイクル目とも2行のアドレスデータA&A'の比較(compare ;cmp.)が行われ、キャッシュヒット時には、データ部10では1サイクル目、2サイクル目に対応して2行に分割されたアドレスデータ(本例ではA0,A1)の読み出し(Read)が行われる。

【0048】

上記したように第2の実施形態のキャッシュメモリによれば、前述した第1の実施形態のキャッシュメモリと同様の効果が得られるほか、タグ部20もデータ部10と同様に2サイクルかけてデータを書き込むようにしているので、書き込み/読み出し共用のビット線BL、/RBLを同一列で共有化でき、セルアレイの構成を簡単化するとともにチップ面積を削減することができる。

【0049】

<第1の実施形態の変形例2>

第1の実施形態では、タグ部20のCAMセルを書き込み/読み出し共用のビット線に接続した例を示したが、タグ部20のCAMセルを書き込み専用のビット線および読み出し専用のビット線に接続するように変更してもよく、その一例を以下に説明する。

【0050】

図6は、図2に示したタグ部20のCAMセルの変形例を示す。

【0051】

このCAMセルは、図2を参照して前述したタグ部20のCAMセルと比べて、(1)各行のワード線WL0,WL1が書き込み専用のワード線として使用され、読み出し専用のワード線RWL0,RWL1が付設されている点、(2)一对のビット線BL0,BL0bが一对の書き込み専用のビット線として使用され、一对の読み出し専用のビット線(一方RBL0のみ図示する)が付設されている点、(3)上記読み出し専用のビット線RBL0,RBL0bと接地ノードとの間に、それぞれのゲートが対応して前記一对の読み出し専用のワード線に接続されたNMOSトランジスタ(一方N9のみ図示する)とそれぞれのゲートが対応してSRAMセル部22の一对の記憶ノードn0,nb0あるいはn1,nb1に接続されたNMOSトランジスタ(一方N10のみ図示する)が直列に接続されている点が異なり、その他は同じであるので、図2中と同一符号を付している。

【0052】

<第2の実施形態>

第1の実施形態では、データ部10を分割した場合の物理的なレイアウトの高さがタグ部20の物理的なレイアウトの高さに比べて高くなる場合に、タグ部20をデータ部10と同数だけ分割したが、必要に応じてタグ部20をデータ部10の分割数以上に分割するようにしてもよい。

【0053】

さらに、キャッシュメモリの高速化、高機能化を追求すると、メモリ構成が複雑になり、データ部10を分割しなくてもその物理的なレイアウトの高さ(レイアウトパターンの縦方向のサイズ)がタグ部20の物理的なレイアウトの高さに比べて高くなる場合がある。このような場合に、タグ部20のメモリセルを分割して並列にアドレスを比較するようにしてもよい。

【0054】

図7は、本発明の第2の実施形態に係るキャッシュメモリのセルアレイの配置の一例を示す。

【0055】

このキャッシュメモリは、図1を参照して前述した第1の実施形態に係るキャッシュメモリと比べて、データ部10aが分割されていない点が異なり、タグ部20は2行に分割されており、図1中と同一部分には同一符号を付している。ここで、Hはデータ部10aの単位

領域のレイアウト高さであり、 h はタグ部20の単位領域のレイアウト高さであり、 $h < H$ の関係にある。

【0056】

第2の実施形態によれば、タグ部20の物理的なレイアウトの高さがデータ部10aの物理的なレイアウトの高さ以内（望ましくは同じ高さ）にし、タグ部20のアクセスサイクル数をデータ部10aのアクセスサイクル数以内にすることができ、タグ部20における面積のロスを削減することができる。

【図面の簡単な説明】

【0057】

【図1】本発明の第1の実施形態に係るキャッシュメモリのセルアレイの配置の一例を示すレイアウト図。

【図2】図1中のタグ部のCAMセルアレイの一部の構成例を示す等価回路図。

【図3】図1に示したタグ部、データ部へのデータアクセスの動作例を示すタイミングチャート。

【図4】図2中の判定回路の一例を示す回路図。

【図5】第1の実施形態の変形例1におけるタグ部、データ部へのデータアクセスの動作例を示すタイミングチャート。

【図6】図2に示したタグ部のCAMセルの変形例を示す回路図。

【図7】本発明の第2の実施形態に係るキャッシュメモリのセルアレイの配置の一例を示すレイアウト図。

【図8】キャッシュメモリのセルアレイのパターンレイアウトの従来例を示すブロック図。

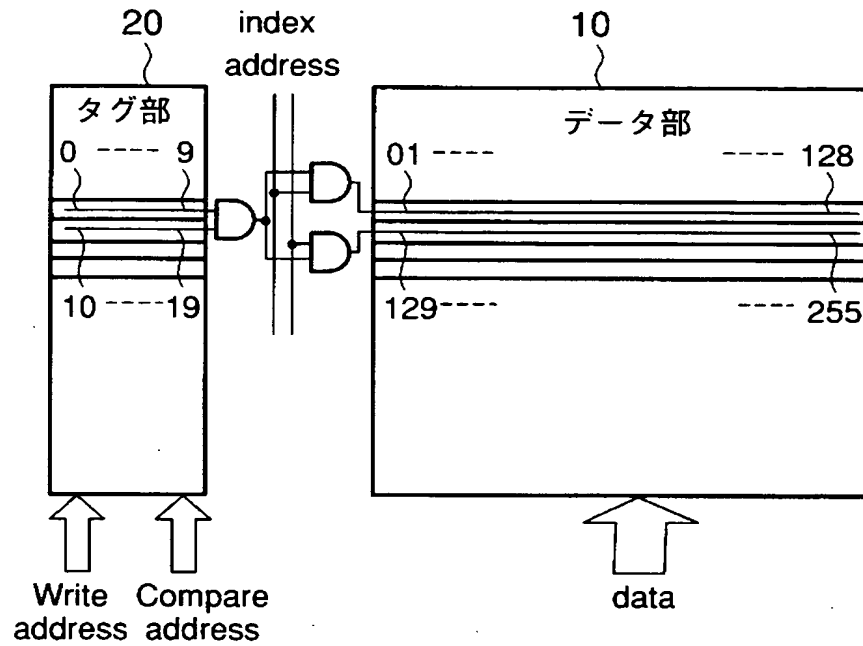
【符号の説明】

【0058】

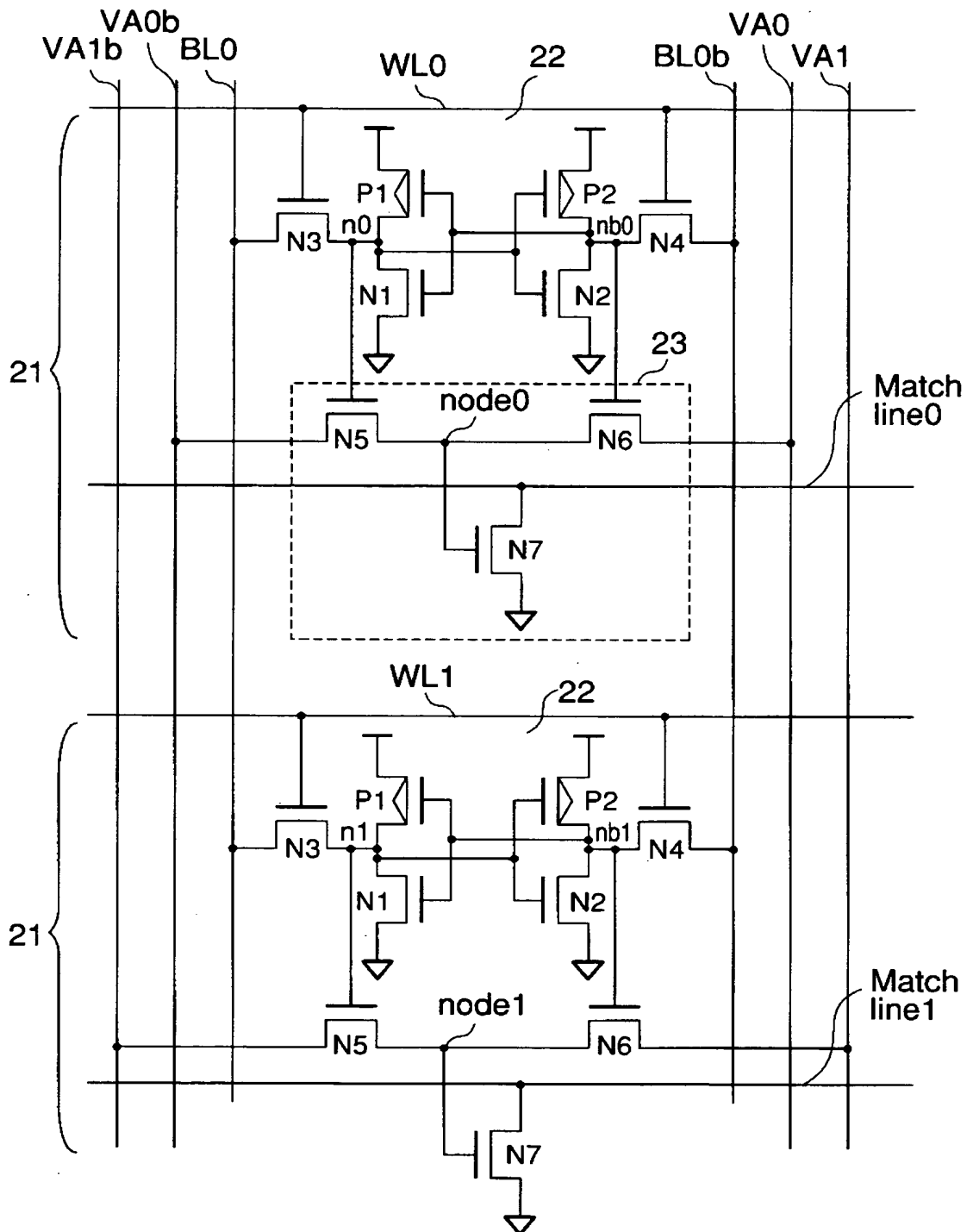
10…データ部、20…タグ部、21…CAMセル、22…SRAM部、23…比較回路部。

【書類名】 図面

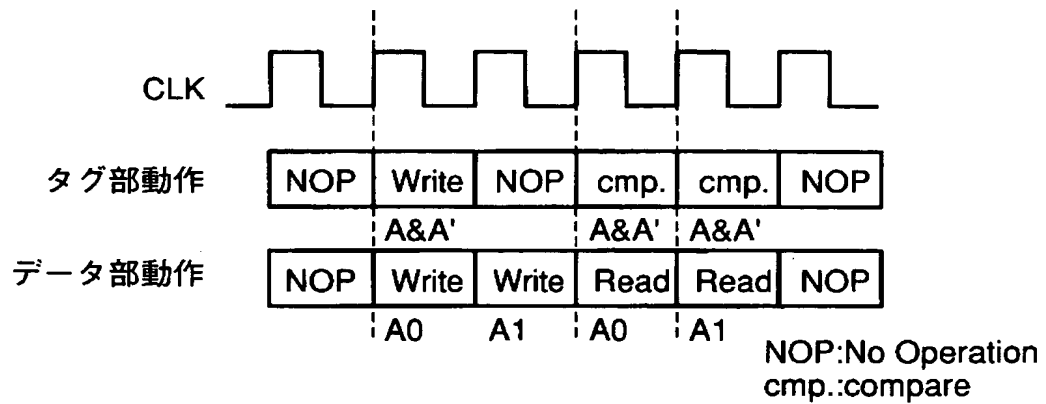
【図 1】



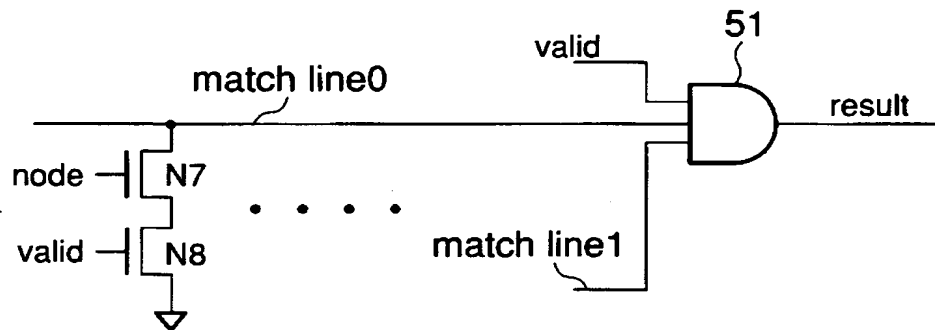
【図 2】



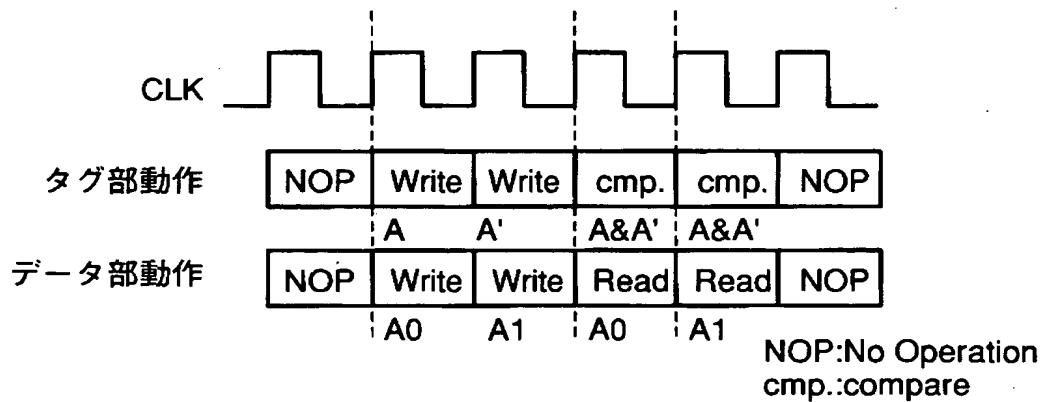
【図 3】



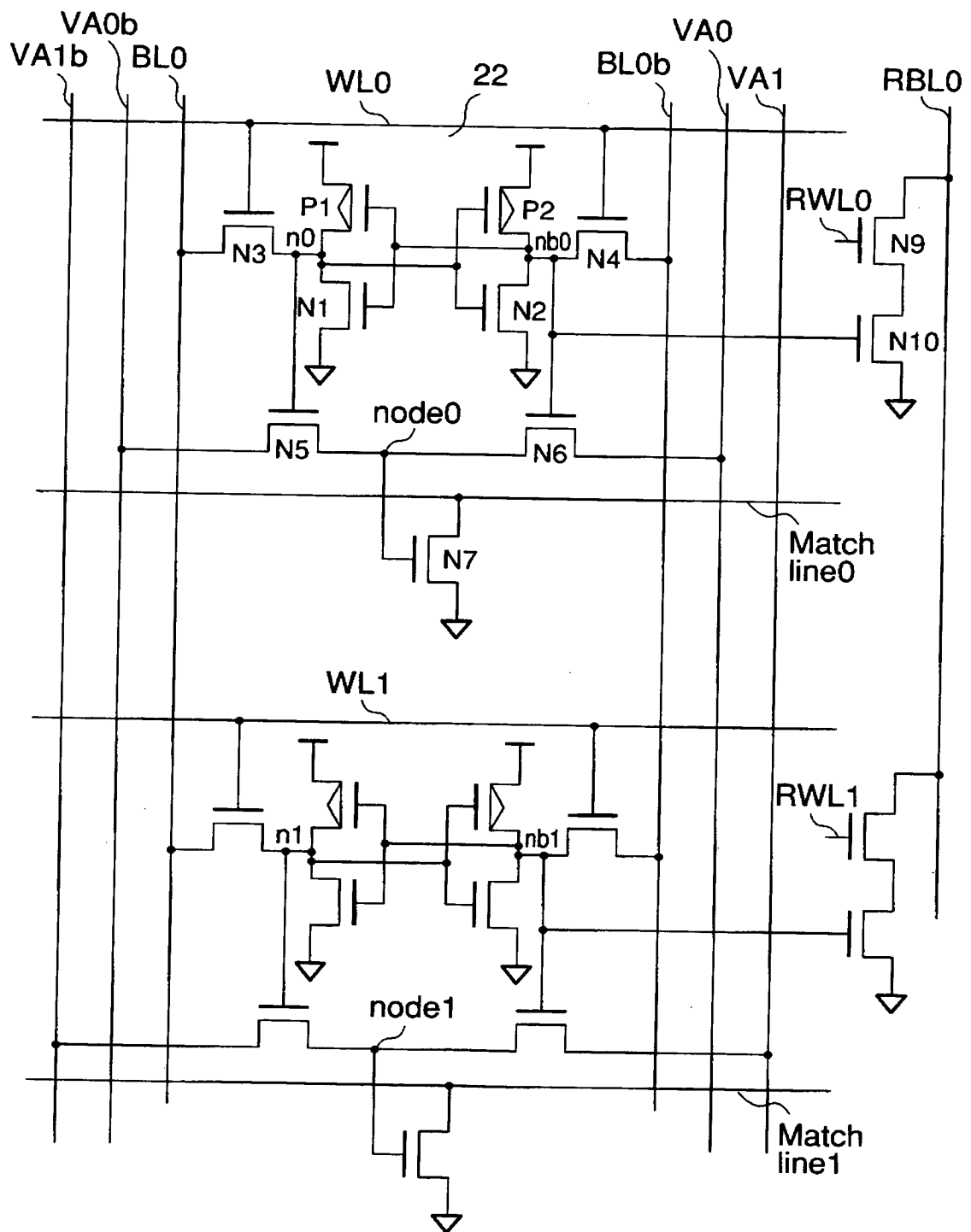
【図 4】



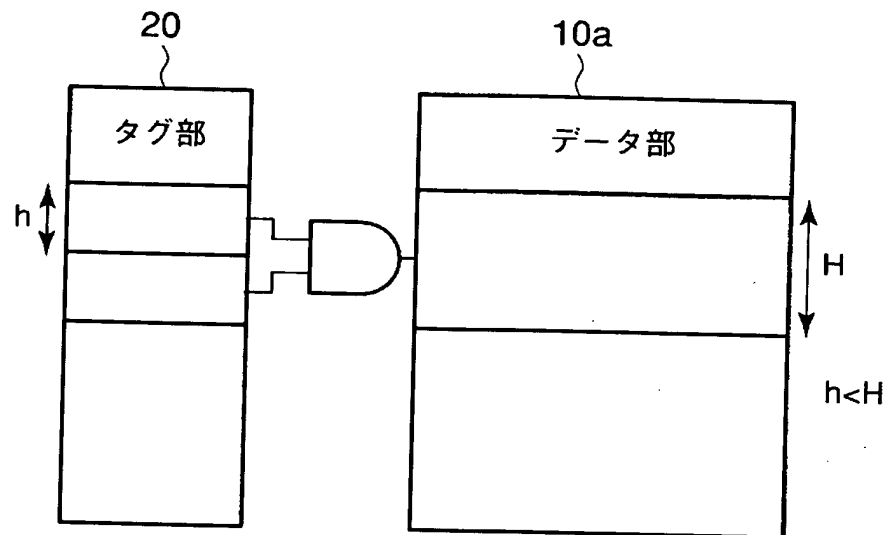
【図 5】



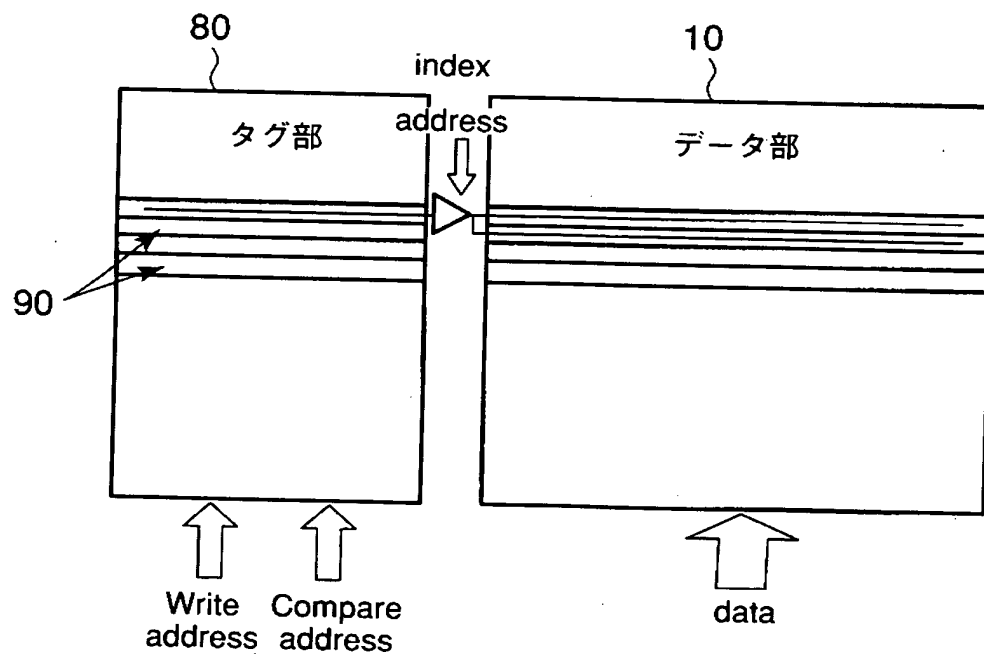
【図 6】



【図 7】



【図 8】



【書類名】 要約書**【要約】**

【課題】 キュッシュメモリで取り扱うデータサイズが大きくなっても高速化を可能とし、タグ部の領域を有効に活用し、LSI チップの面積の増大を抑制する。

【解決手段】 あるアドレスの値をSRAM部22に保持し、保持アドレスを入力アドレスを比較回路部23で比較するCAM セル21のアレイを有するタグ部20と、タグ部のエントリーに対応するデータを保持するデータ部10とを備えたキュッシュメモリにおいて、タグ部のメモリセルを分割して並列にアドレスを比較するようにした。

【選択図】 図 2

特願 2 0 0 3 - 3 5 9 3 7 3

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝